

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-260797

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

H05K 1/02

(21)Application number : 08-093284

(71)Applicant : SONY CORP

(22)Date of filing : 22.03.1996

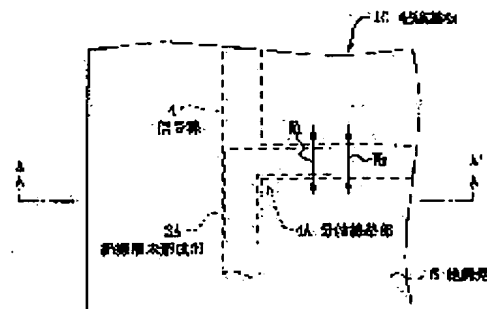
(72)Inventor : ARAKI KENJI

## (54) WIRING BOARD

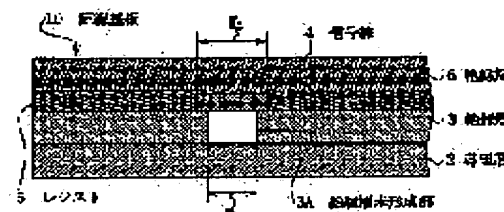
### (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a wiring board capable of preventing the deterioration of electronic parts to be mounted.

**SOLUTION:** In a wiring board 1 having insulation layers 3, 6 having signal lines 4 in a specified pattern on first sides and conductor layers 2 formed on second sides, space regions 3 having a lower specific dielectric const. than other portions of the insulation layers 3, 6 are formed at specified positions of these layers, facing at line parts of signal lines 4 where the characteristic impedance is not matched, whereby the electric characteristics of electronic elements to be mounted can be prevented from deteriorating.



(A)



(B)

## LEGAL STATUS

[Date of request for examination]

18.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260797

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl.<sup>6</sup>

H 0 5 K 1/02

識別記号

庁内整理番号

F I

H 0 5 K 1/02

技術表示箇所

P

審査請求 未請求 請求項の数 4 F D (全 7 頁)

(21) 出願番号

特願平8-93284

(22) 出願日

平成8年(1996)3月22日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 荒木 健次

東京都品川区北品川6丁目7番35号ソニー株式会社内

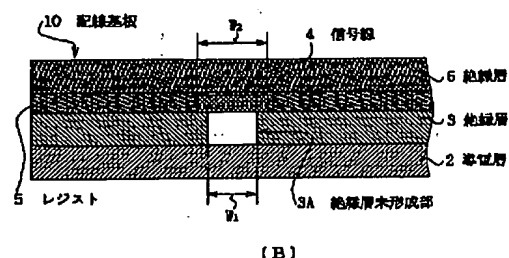
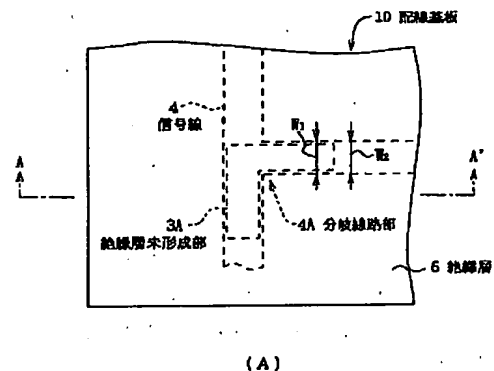
(74) 代理人 弁理士 田辺 恵基

(54) 【発明の名称】 配線基板

(57) 【要約】

【課題】 本発明は、実装対象となる電子部品の電気特性を劣化することを防止し得る配線基板を実現しようとするものである。

【解決手段】 絶縁層の一面に所定パターンで信号線が形成されると共に当該絶縁層の他面に導電層が形成される配線基板において、信号線のうち特性インピーダンスが不整合となる線路部分と対向する絶縁層の所定位置に、当該絶縁層の他の部分よりも比誘電率が低い空間領域を設けたことにより、実装対象となる電子部品の電気特性を劣化することを防止し得る配線基板を実現することができる。



BEST AVAILABLE COPY

図1 第1実施例による配線基板

## 【特許請求の範囲】

【請求項 1】絶縁層の一面に所定パターンで信号線が形成されると共に、上記絶縁層の他面に導電層が形成されてなる配線基板において、

上記絶縁層は、

上記信号線のうち特性インピーダンスが不整合となる線路部分と対向する所定位置に、上記絶縁層の他の部分よりも比誘電率が低い空間領域を具えることを特徴とする配線基板。

【請求項 2】上記空間領域は、

上記信号線のうち特性インピーダンスが不整合となる線路部分と対向する所定位置に形成された空隙であることを特徴とする請求項 1 に記載の配線基板。

【請求項 3】上記空間領域は、

上記空隙内に上記絶縁層の他の部分よりも比誘電率が低い所定の誘電体が充填されてなることを特徴とする請求項 2 に記載の配線基板。

【請求項 4】上記信号線のうち特性インピーダンスが不整合となる線路部分は、上記信号線の分岐部であることを特徴とする請求項 1 に記載の配線基板。

## 【発明の詳細な説明】

## 【0001】

【目次】以下の順序で本発明を説明する。

発明の属する技術分野

従来の技術（図 5（A）及び（B））

発明が解決しようとする課題（図 5（B））

課題を解決するための手段

発明の実施の形態

（1）第 1 実施例（図 1（A）及び（B））

$$Z_0 = \sqrt{\frac{R + j\omega L}{1/R + j\omega C}} \quad \dots\dots (1)$$

で表される。さらに式（1）は、次式

$$Z_0 = \sqrt{\frac{L}{C}} \quad \dots\dots (2)$$

のように近似式として表される。この場合、導電層 2 及び単位長さ当たりの信号線 4 で形成されるコンデンサの静電容量 C は、信号線 4 及び導電層 2 間の距離を d とし、信号線 4 の単位長さ当たりの面積を S とし、信号線

$$C = \epsilon_r \times \frac{S}{d} \quad \text{但し}$$

で表される。これにより信号線 4 の特性インピーダンス  $Z_0$  は、比誘電率  $\epsilon_r$  が高くなるにつれて下がることがわかる。

【0006】ここで、一般的に、特性インピーダンスが同じでなる線路の長さ方向にわずかも構造上の不均一があつて当該線路に信号が伝送されると、当該線路の構造が不均一な部分で特性インピーダンスが変化する。ま

（2）第 2 実施例（図 2（A）及び（B））

（3）第 3 実施例（図 3（A）～図 4（B））

発明の効果

## 【0002】

【発明の属する技術分野】本発明は配線基板に関し、例えば高周波回路用の配線基板に適用して好適なものである。

## 【0003】

【従来の技術】従来、この種の配線基板の一つとして図 5（A）及び（B）のように構成されたものがある。すなわちこの配線基板 1 では、アース接地された導電層 2 上に、例えばガラスエポキシ等の所定の比誘電率でなる絶縁層 3 が積層され、当該絶縁層 3 上には、高周波回路用の信号線 4 が所定の配線状態で配設されると共に、レジスト 5 が一面及び信号線 4 上に塗布されている。さらにレジスト 4 を介して絶縁層 3 と同じ材料でなる絶縁層 6 が積層されている。

## 【0004】

【発明が解決しようとする課題】ところで、配線基板 1 に配設された信号線 4 が分岐した場合、当該分岐した線路部分（以下、これを分岐線路部と呼ぶ）4 A において信号線 4 の特性インピーダンスが急激に下がることとなる。

【0005】図 5（B）において、この信号線 4 の特性インピーダンス  $Z_0$  は、信号線 4 の単位長さ当たりの抵抗を R とし、信号線 4 の単位長さ当たりのインダクタンスを L とし、導電層 2 及び単位長さ当たりの信号線 4 で形成されるコンデンサの静電容量 C としたとき、次式

## 【数 1】

## 【数 2】

4 及び導電層 2 間の誘電体によって決定される比誘電率を  $\epsilon_r$  とし、さらに真空及び物質の誘電率をそれぞれ  $\epsilon_0$  及び  $\epsilon$  とし、次式

## 【数 3】

$$\epsilon_r = \epsilon / \epsilon_0 \quad \dots\dots (3)$$

た、特性インピーダンスの異なるいくつかの線路を継続接続した複合線路に信号が伝送されると、当該各線路の接続点で特性インピーダンスが不連続となる。これら特性インピーダンスが不整合となる線路部分では、信号の一部又は全部が逆方向に伝送される現象（以下、これを反射と呼ぶ）が生じる。

【0007】従つて、信号線 4 のうち分岐線路部 4 A で

は反射が生じることとなり、当該分岐線路部4Aにおける信号線4の信号波形が歪んだ結果、配線基板1上に実装された電子部品(図示せず)の電気特性が劣化するという問題があつた。また配線基板1に配設された信号線4の特性インピーダンスは、配線基板1内の絶縁層及び導電層における各層構造や、信号線4の物理的形状等によつて決定される性質を有することから、信号線4の特性インピーダンスに不整合が生じた結果、反射が生じるおそれがあつた。

【0008】本発明は以上の点を考慮してなされたもので、実装対象となる電子部品の電気特性を劣化することを防止し得る配線基板を提案しようとするものである。

【0009】

【課題を解決するための手段】かかる課題を解決するため本発明においては、絶縁層の一面に所定パターンで信号線が形成されると共に、絶縁層の他面に導電層が形成されてなる配線基板において、信号線のうち特性インピーダンスが不整合となる線路部分と対向する絶縁層の所定位置に、当該絶縁層の他の部分よりも比誘電率が低い空間領域を備えるようにする。

【0010】このように、信号線のうち特性インピーダンスが不整合となる線路部分と対向する絶縁層の所定位置に、当該絶縁層の他の部分よりも比誘電率が低い空間領域を設けるようにしたことにより、信号線全体として特性インピーダンスに不整合が生じるのを防止し得、この結果信号線のうち特性インピーダンスが不整合となる線路部分で反射が生じるのを防止し得、かくして当該線路部分における信号線の信号波形が歪むのを防止することができる。

【0011】

【発明の実施の形態】以下図面について、本発明の一実施例を詳述する。

【0012】(1)第1実施例

図5(A)及び(B)との対応部分に同一符号を付して示す図1(A)及び(B)において、配線基板10は導電層2上に積層された絶縁層3の形状が異なることを除いて、図5(A)及び(B)に示す配線基板1と同様の構成からなる。

【0013】すなわち図1(A)及び(B)に示すように、配線基板10の導電層2上に積層された絶縁層3において、信号線4の分岐線路部4Aに対向する所定位置には、当該絶縁層3が取り除かれている空隙部(以下、これを絶縁層未形成部と呼ぶ)3Aが略L字状に形成されている。この絶縁層未形成部3Aは、配線基板10の製造時において絶縁層3を形成する際にドリル加工又はエッチング加工等によつて予め形成しておくようになされている。

【0014】因みに実施例の場合、信号線4はその線幅 $w_2$ が200[ $\mu\text{m}$ ]及びその厚みが35[ $\mu\text{m}$ ]としたとき、厚みが100[ $\mu\text{m}$ ]でなる絶縁層3において、絶縁

層未形成部3Aの幅 $w_1$ は150[ $\mu\text{m}$ ]に形成されている。すなわち絶縁層未形成部3Aの幅 $w_1$ は、信号線4の線幅 $w_2$ の約75[%]となる。また絶縁層3は、比誘電率が4~5程度でなる例えばガラス布基材エポキシ樹脂等の積層板から形成されている。

【0015】以上の構成において、信号線4の分岐線路部4Aに対向して絶縁層3に形成された絶縁層未形成部3Aは、空隙でなるため比誘電率4~5でなる絶縁層3よりも比誘電率が低くなることから、上述した式(2)及び(3)に基づいて、信号線4のうち分岐線路部4Aにおける特性インピーダンスは高くなる。

【0016】実験結果によれば、信号線4のうち分岐線路部4A以外の信号線4の特性インピーダンスが約44[ $\Omega$ ]でなるのに対して、信号線4のうち分岐線路部4Aの特性インピーダンスは約83[ $\Omega$ ]と2倍近く高くなる。このため分岐線路部4Aにおける二股に分岐した部分の各特性インピーダンスは半分の約41.5[ $\Omega$ ]となる。従つて、信号線4全体として特性インピーダンスに不整合が生じなくなることにより、信号線4のうち絶縁層未形成部3Aに相当する分岐線路部4Aで反射が生じるのを防止することができる。

【0017】以上の構成によれば、配線基板10において、信号線4の分岐線路部4Aに対向する所定位置に絶縁層未形成部3Aを形成するようにしたことにより、信号線4のうち絶縁層未形成部3Aに対向する分岐線路部4Aで反射が生じるのを防止し得、この結果当該分岐線路部4Aにおける信号線4の信号波形が歪むのを防止することができる。かくして配線基板10上に実装された電子部品(図示せず)の電気特性が劣化するのを防止し得る。

【0018】(2)第2実施例

図1(A)及び(B)との対応部分に同一符号を付して示す図2(A)及び(B)において、配線基板20は、配線基板10における絶縁層未形成部3Aに所定の比誘電率を有する誘電部21を形成したことを除いて、当該配線基板10と同様の構成からなる。この誘電部21は、既に形成されている絶縁層3から絶縁層未形成部3Aに相当する部分を取り除いた後、当該絶縁層未形成部3Aに埋め込むことにより形成される。

【0019】この場合、誘電部21は、信号線4のうち分岐線路部4Aの特性インピーダンスが当該分岐線路部4A以外の信号線4の特性インピーダンスよりも2倍程度高くなるように、絶縁層3よりも比誘電率が低い材質のものが選定されている。因みに一般的に、誘電部21として用いられる材質のうち比誘電率4~5程度でなるガラス布基材エポキシ樹脂よりも比較的比誘電率が低い材質としては、テフロン(比誘電率2.1)、天然ゴム(比誘電率2.91)、ブナS(比誘電率2.91)、ポリエチレン(比誘電率2.25)等がある。

【0020】以上の構成によれば、配線基板20におい

て、信号線4の分岐線路部4Aに対向する所定位置に絶縁層3よりも比誘電率が低い誘電部21を形成するようにしたことにより、信号線4のうち誘電部21に対向する分岐線路部4Aで反射が生じるのを防止し得、この結果当該分岐線路部4Aにおける信号線4の信号波形が歪むのを防止することができる。かくして配線基板20上に実装された電子部品(図示せず)の電気特性が劣化するのを防止し得る。

#### 【0021】(3) 他の実施例

なお第1実施例においては、信号線4が分岐してなる分岐線路部4Aに対向する所定位置に絶縁層未形成部3Aを形成するようにした場合について述べたが、本発明はこれに限らず、図1(A)及び(B)との対応部分に同一符号を付して示す図3(A)及び(B)において、信号線31が分岐しない線路部分(以下、これを直状線路部と呼ぶ)31Aに対向する所定位置に絶縁層未形成部3Bを形成するようにしても上述の場合と同様の効果を得ることができる。

【0022】また第2実施例においては、信号線4が分岐してなる分岐線路部4Aに対向する所定位置に絶縁層3よりも比誘電率が低い誘電部21を形成するようにした場合について述べたが、本発明はこれに限らず、図2(A)及び(B)との対応部分に同一符号を付して示す図4(A)及び(B)において、信号線31が分岐しない直状線路部31Aに対向する所定位置に、誘電部21と同じ比誘電率でなる誘電部32を形成するようにしても上述の場合と同様の効果を得ることができる。

【0023】さらに第1実施例においては、絶縁層未形成部3Aは、配線基板10の製造時において絶縁層3を形成する際にドリル加工又はエッチング加工等によつて形成するようにした場合について述べたが、本発明はこれに限らず、種々の手法を用いて既に形成されている絶縁層3から絶縁層未形成部3Aに相当する部分を取り除くようにしても良い。このとき、絶縁層未形成部3Aの断面形状は長方形以外の種々の形状でなるようにしても良い。

【0024】さらに第2実施例においては、誘電部21は、既に形成されている絶縁層3から絶縁層未形成部3Aに相当する部分を取り除いた後、当該絶縁層未形成部3Aに埋め込むことにより形成した場合について述べたが、本発明はこれに限らず、種々の手法を用いて配線基板20の製造時において絶縁層3を形成する前に予め形成しておくようにしても良い。このとき、誘電部21の断面形状は長方形以外の種々の形状でなるようにしても良い。

【0025】さらに上述の実施例においては、高周波回路用の配線基板10及び20に配設された信号線4に対応して絶縁層3に絶縁層未形成部3A及び誘電部3Bを形成するようにした場合について述べたが、本発明はこれに限らず、低周波回路用の配線基板(図示せず)にお

いても本発明を適用し得る。

【0026】さらに上述の実施例においては、配線基板10及び20に配設された信号線4の下側の絶縁層3に絶縁層未形成部3A及び誘電部3Bを形成した場合について述べたが、本発明はこれに限らず、信号線4の上側の絶縁層6又は上下両側の各絶縁層3及び6に絶縁層未形成部3A及び誘電部3Bを形成するようにしても良い。但し、信号線4の上側に絶縁層未形成部3A及び誘電部3Bを形成する場合には、絶縁層6上に導電層(図示せず)を形成しておく必要がある。これにより配線基板10及び20が複数積層されてなる多層配線基板(図示せず)においても本発明を適用することができる。

【0027】さらに上述の実施例においては、配線基板10及び20に配設された信号線4の線幅の約75〔%〕の幅で絶縁層未形成部3A及び誘電部3Bを形成した場合について述べたが、本発明はこれに限らず、絶縁層未形成部3A及び誘電部3Bの幅は信号線4の線幅の約75〔%〕以上でも以下でも良い。この場合、信号線4の線幅の約75〔%〕以上であつても信号線4が絶縁層未形成部3Aに入り込まない程度であれば絶縁層未形成部3Aの幅は所望の長さに設定し得る。

【0028】さらに第1実施例においては、配線基板10及び20に配設された信号線4を分岐線路部4Aにおいて二股に分岐した場合について述べたが、本発明はこれに限らず、信号線4を三股以上に分岐した分岐線路部(図示せず)においても本発明を適用しても良い。このようにしてバスラインのような多分岐でなる信号線においても本発明を適用し得る。

#### 【0029】

【発明の効果】上述のように本発明によれば、絶縁層の一面に所定パターンで信号線が形成されると共に当該絶縁層の他面に導電層が形成されてなる配線基板において、信号線のうち特性インピーダンスが不整合となる線路部分と対向する絶縁層の所定位置に、当該絶縁層の他の部分よりも比誘電率が低い空間領域を設けたことにより、実装対象となる電子部品の電気特性を劣化することを防止し得る配線基板を実現することができる。

#### 【図面の簡単な説明】

【図1】第1実施例による配線基板の構成を示す平面図及び断面図である。

【図2】第2実施例による配線基板の構成を示す平面図及び断面図である。

【図3】他の実施例による配線基板の構成を示す平面図及び断面図である。

【図4】他の実施例による配線基板の構成を示す平面図及び断面図である。

【図5】従来の配線基板の構成を示す平面図及び断面図である。

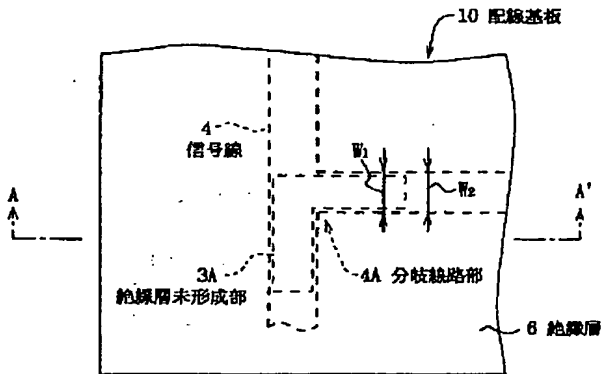
#### 【符号の説明】

1、10、20、30、40……配線基板、2……導電

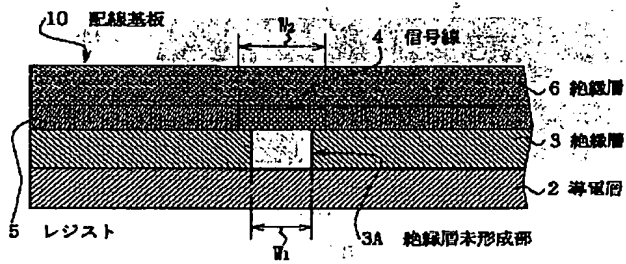
層、3、6……絶縁層、3A、3B……絶縁層未形成部、4……信号線、4A……分岐線路部、5……レジス

ト、21……誘電部、31A……直状線路部。

【図1】



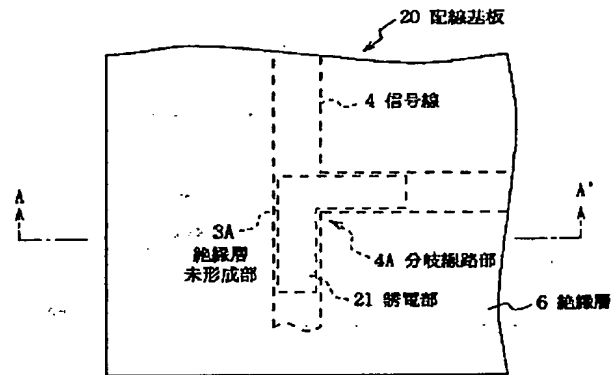
(A)



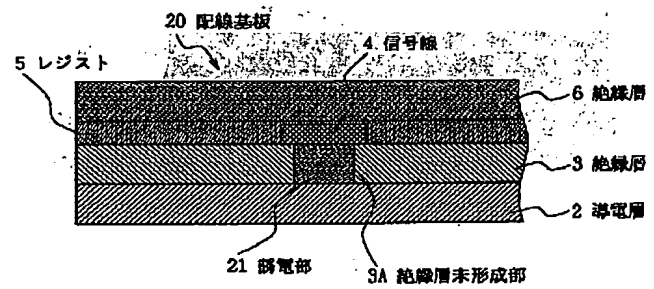
(B)

図1 第1実施例による配線基板

【図2】



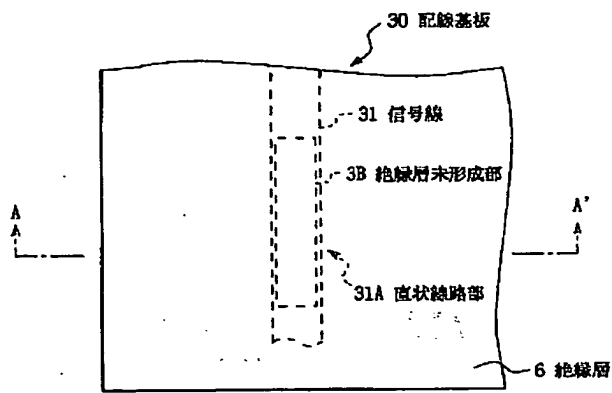
(A)



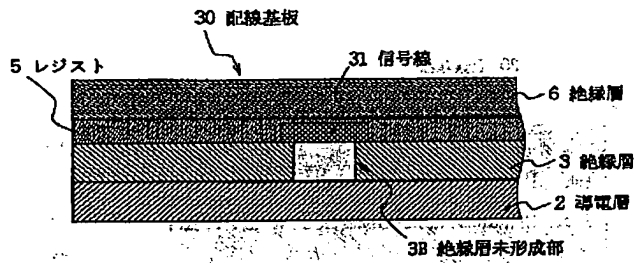
(B)

図2 第2実施例による配線基板

【図3】



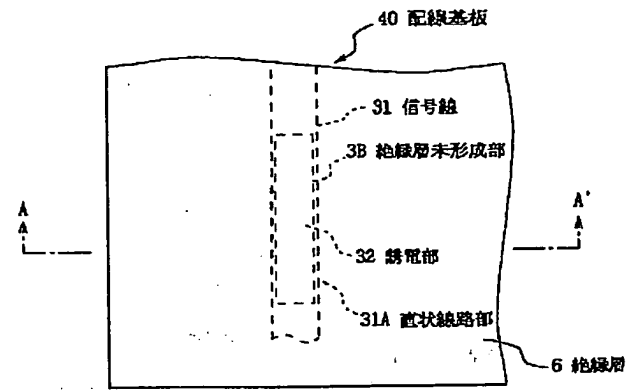
(A)



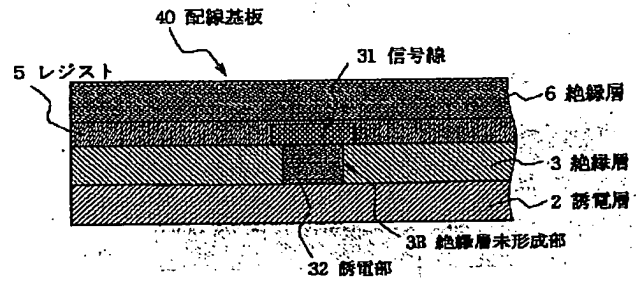
(B)

図3 他の実施例による配線基板(1)

【図4】



(A)



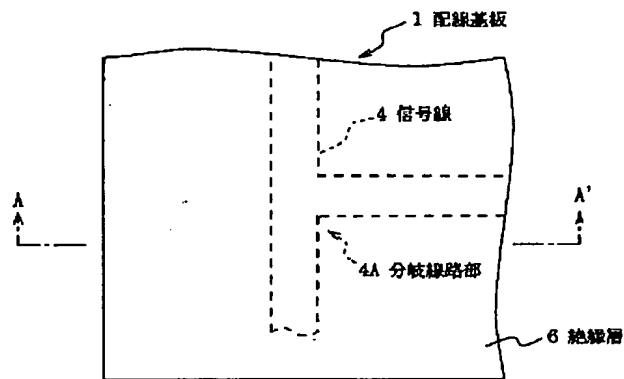
(B)

図4 他の実施例による配線基板(2)

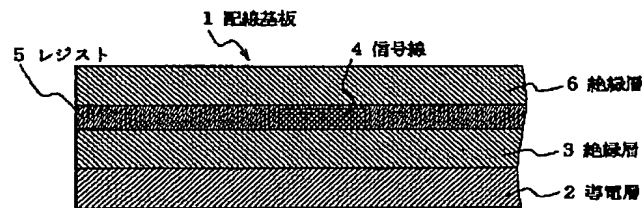
BEST AVAILABLE COPY



【図5】



(A)



(B)

図5 従来の配線基板

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**